

S16301

## 先端的 3 次元的構造デバイスのための 難加工半導体基板の超精密加工技術とボンディング技術の確立に向けて

### Towards the establishment of ultra-precision processing technology and bonding technology for hard-to-machine semiconductor substrates for advanced 3D structural devices

土肥 俊郎<sup>\*1\*2\*3</sup>

Toshiro K. Doi<sup>\*1\*2\*3</sup>,

<sup>\*1</sup>九州大学名誉教授 Kyushu University/Professor Emeritus

<sup>\*2</sup>埼玉大学名誉教授 Saitama University/ Professor Emeritus

<sup>\*3</sup>株式会社 Doi Laboratory Doi Laboratory, Inc.

#### 【Abstract】

Realization of high-performance and multi-function devices is required due to technological trends that are conscious of singularity with AI, deep learning, and IoT as keywords. In order to introduce a wide variety of functional materials to achieve fine three-dimensional and multi-functionalization, 1) super-precision machining of constituent materials, 2) ultra-thin-processing, and 3) wafer-boding are three major Key technologies. In order to contribute to the device fabrication of wide-gap semiconductor substrates such as SiC, GaN, and diamond in the near future, which is currently in the spotlight, it is introduced that the innovative plasma fusion CMP technology which fuses plasma processes and the ultra-precision wafer bonding technology. The process technology that fuses these is expected to become a key technology for highly efficient creation of innovative devices.

**Key Words :** CMP, plasma fusion CMP, wafer bonding, hard-to-process materials, singularity, SiC, GaN, diamond

### 1. 緒言

人類史の中で産業史観から社会を俯瞰してみると、第ゼロ回は 1 万年前の農業（農耕）革命、第二次は 18 世紀の産業革命（機械化）、第三次は 20 世紀前半の産業革命（重工業）、第四次は 20 世紀後半の産業革命（情報化）、そして第五次が 21 世紀初頭の産業革命（IoT & AI）ということになる。それぞれの産業革命は年々早まって、つまりムーアの法則と同様に指数関数的に進歩していることになる<sup>(1)</sup>。このように倍々ゲームで上昇が加速していくと、やがてはその方向が横軸に対してほぼ垂直になる。

そこでトランジスタ発明以降の時間と半導体技術とその進歩の相関図（図 1）から、半導体製造に関わる超精密加工プロセスを例にして考える。その進化のスピードが無敵大（厳密には限りなく無限大）に近づくそのポイントが、カーツワイルの言うシンギュラリティ（singularity）/技術的特異点<sup>(2)</sup>に他ならない。言うまでもなく半導体デバイス、MEMS、各種センサー・オプトメカトロニクス部品などの

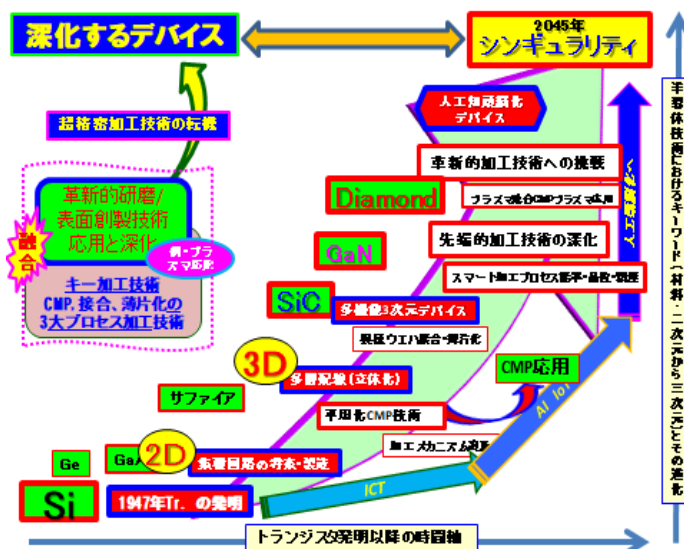


図 1 トランジスタ発明以降の時間と半導体技術の進歩の相関図

高性能化・多機能化と相俟って、人間と対話ができるロボットや完全自動運転の自動車などに象徴されるように、ひと昔の想像世界がまさに現実味を帯びてきたところであって、シンギュラリティが2045年あるいはそれ以前に到来はあり得ることに気づく。

このところ、量子コンピュータの話題が注目されている中で、2045年に想定されているシンギュラリティ/技術的特異点を意識した半導体デバイスは、More Moore 軸と More than Moore 軸を兼ね備えた超高性能・超高付加価値システムへと向かっていくことは間違いない。とくに高周波・パワーデバイス系では Si の物理的限界になってきたこともあって、発光デバイス等を含め次世代デバイスとして SiC や GaN などのワイドギャップ半導体基板が、さらには近未来型の半導体ダイヤモンド結晶等がグリーンデバイス用として実用化が期待されているところである<sup>(3)</sup>。

現況では AI (Artificial Intelligence)、IoT (Internet of Things) がキーワードとして、自動運転に象徴されるようにセンサネットワークを必須デバイスとして MEMS や CMOS イメージセンサー、SAW フィルター光学系デバイスなど多岐にわたり次々と多種多様な材料が登場して枚挙に暇がない。電子・光デバイスには、半導体以外にも誘電体、磁性体、セラミックス、金属、高分子、機能性ガラスなど多岐にわたる新奇な機能性材料が見出され、さらなる高性能化・多機能化を追究している。そして、各種センサ・MEMS (Micro Electro Mechanical Systems) デバイス、3次元立体的構造デバイスなどのように多機能化を狙うことになるので、Si のような単一元素基板、化合物半導体基板をはじめ、多くの複数の異種の機能性材料を組み合わせ、3次元的な複合積層基板にした最先端の多機能デバイスとなる<sup>(4)</sup>。

シンギュラリティを想定すれば人工頭脳を超越するかもしれない次世代型3次元デバイスは、多岐にわたる機能性材料を導入して超微細の三次元的構造で多機能化を図るために、構成するそれぞれの材料を①超精密加工仕上げ、②超薄片化をして③貼り合せ・積層化すること、すなわち、これらが次世代型3次元構造デバイス実現のための“3大キー技術”であると考えられる。

そこで本稿では、上述の次世代型の3大キー技術のうち、超精密加工プロセスと超精密ウエハ接合プロセスをキーワードとする2大キー技術にフォーカスして述べることにする。

## 2. 次世代型超精密加工プロセス - “プラズマ融合 CMP (Plasma fusion CMP) 技術を例に -

脚光を浴びている炭化ケイ素 SiC と窒化ガリウム GaN、あるいは究極的デバイス用ダイヤモンドの基板には、原子オーダーの加工精度・品位に仕上げることが大前提となるが、機械的・化学的に極めて安定した超難加工材料であるが故に加工困難を極め何らかのブレークスルーが求められている。SiC、GaN、ダイヤモンドの基板について、単純にシリコン Si-CMP の加工条件を適用した場合を仮定して加工の難易度を比較<sup>(5)</sup>すると、図2のようにその困難性がよく分かる。

超難加工材料の高効率加工を実現するためには、これまでの加工方法に囚われることなく根本的に新たな加工手法を考えなければならない。そこで、筆者らはこれまでいくつかの新奇な加工法を提案してきた。例えば、加工環境を減圧あるいは加圧制御して、さらに光触媒反応を付加させるべく UV 照射しつつ加工する“密閉式加工環境コントロール型 CMP 法”は、CMP の加工メカニズムを追究し新たな加工技術を誕生させるのに大いに役立った<sup>(5)</sup>。考案してきた蓄積技術をも踏まえながら、“プラズマ融合 CMP 技術” (商標登録済み) を新たに研究開発・発表した<sup>(6)</sup>。

図3は、プラズマ融合 CMP 法のコンセプトを図式化したものである。ポリシング/CMP などによって疑似ラジカ

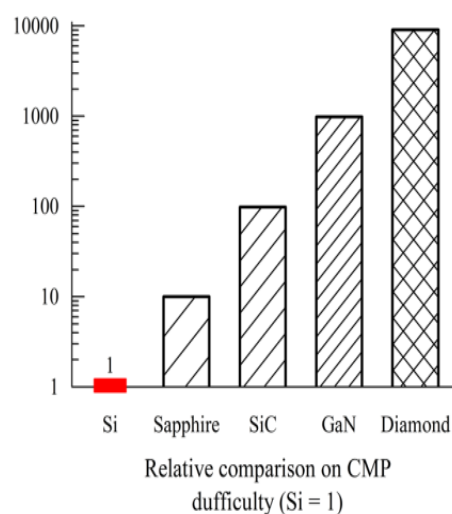


図2 加工所要時間からみる各種基板材料の加工困難度の比較 (従来研磨法を適用したときの Si, SiC, GaN, ダイヤモンド基板の加工時間)

ル場を形成させながら平坦化加工を施すこと (in-situ 疑似ラジカル形成と平坦化加工) に加え、そこに高効率エッチングを加工原理とする無擾乱 P-CVM (Plasma-Chemical Evaporation Machining) をともなう融合加工法である。平滑・平坦化を得意とする CMP と高効率化を得意とする P-CVM のそれぞれの加工原理を同時作用・融合させて、それらの総和以上の“シナジー効果”発現を狙う<sup>(6)</sup>。

図4の一例は、初期のプラズマ融合CMP装置<sup>(7)</sup>のプロトタイプ外観写真とマイクロプラズマ電極・基板加工の様子である。加工工具に相当するものは、CMPパッドの中に多数内蔵させたP-CVM作用するマイクロ・プラズマ電極である。加工用スラリーを流しながらCMPも同時作用させる必要があるため、当該マイクロ・プラズマ電極にスラリーが入らないよう反応性・キャリアガスの吹上制御する特殊電極構造としている。P-CVMでは、マイクロ電極先端と基板の間隙(数10~数100 $\mu\text{m}$ )、投入電力・周波数、反応ガス種・流量などを最適化すれば、ほとんどの材料を高効率に等方エッチングできる。CMP用パッド或いはスラリーの物理的作用によって基板表面の凸部のみに適度な疑似ラジカル場(超微小欠陥腫)<sup>(8)</sup>を形成させ、それをある程度選択的に除去できるP-CVMを併用して高効率加工促進する。それと同時に、CMPによる化学的・機械的作用によって平滑化・平坦化も行う融合加工原理である。

図5にGa<sub>2</sub>N、SiCやダイヤモンド基板のプラズマ融合CMP装置による加工特性例<sup>(9)</sup>を示すように、まさにin-situで難加工材料の高効率平坦化・平滑化を実現する加工法である。

SiC基板に対してはSF<sub>6</sub>(六フッ化硫黄)ガスを、ダイヤモンド基板に対しては酸素ガスをそれぞれ反応ガスとして用いている。図より、SiC基板のCMP単独加工レート0.1 $\mu\text{m/h}$ 以下に対し、プラズマ融合CMP加工レートは5.6 $\mu\text{m/h}$ となり、1桁以上の加工効率向上を実現している(図5の中央図)。単結晶ダイヤモンドのプラズマ融合CMP加工では、667nm/hの加工レートが得られている(図5の右図)。加工レートの絶対値は、SiC基板のそれに遠く及ばないものの、ダイヤモンドのCMP単独加工レートがほとんどゼロ(2nm/h以下)を鑑みれば、融合加工効果は極めて高いことが明確である。いずれの基板材料に対する融合加工レートも、CMP単独、P-CVM

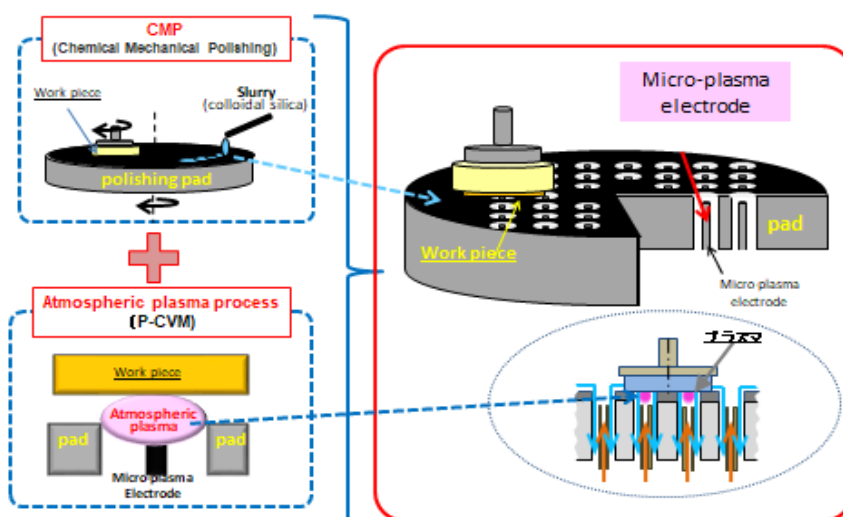


図3 プラズマ融合CMP法のコンセプトと加工原理を示す模式図

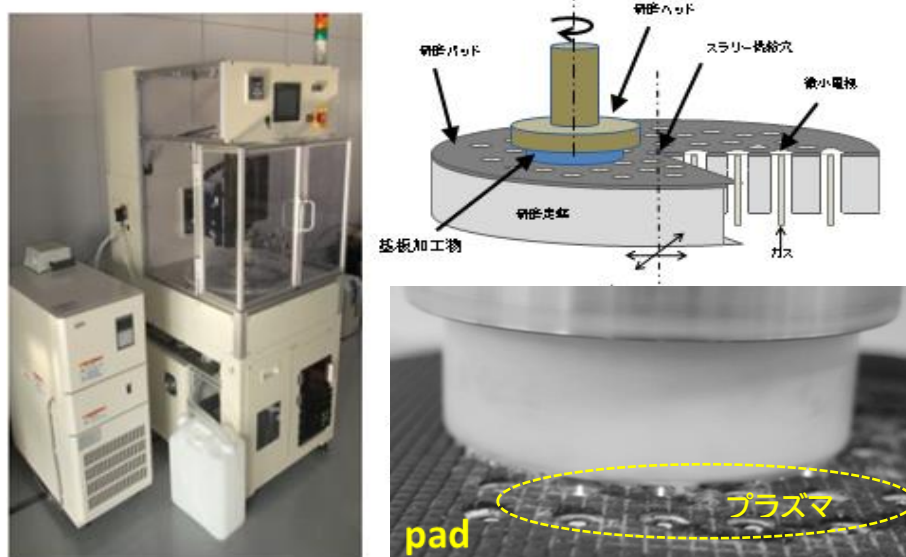


図4 プラズマ融合CMP装置のプロトタイプ外観写真とCMP用パッドに内蔵したマイクロ・プラズマ電極・基板加工の様子

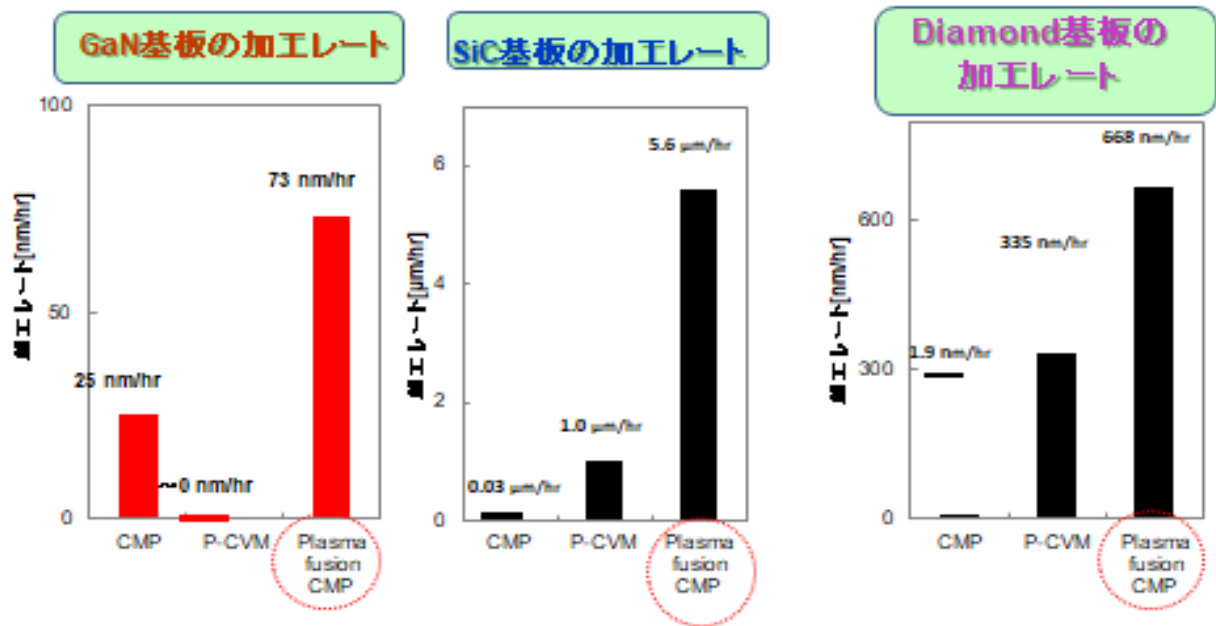


図5 プラズマ融合CMP装置によるGaN、SiC、ダイヤモンドの各種基板材料の加工特性の一例  
(単独CMP、単独P-CVM、プラズマ融合CMPの加工レートを比較)

単独加工レートの単純総和値をはるかに上回っていることから、融合によるシナジー効果が効率よく発揮されたと言える。

ここで、GaN基板に対するプラズマ融合CMP（図5の左図参照）について付記する。GaN基板に対しては酸素ガスによる表面酸化効果に着目し、大気圧酸素を反応性ガスとしてプラズマ融合CMPを試みた。P-CVM単独での加工レートはほとんどゼロであるが、加工中の表面酸化が効果的に行われ、CMP単独加工レート25nm/hに対し、プラズマ融合CMPの加工レート73nm/hである（図5の左図）。いずれ、塩素系ガスによるP-CVM法を適用し、直接的な材料除去作用をCMP法と融合することを視野に入れており、大幅な加工能率の向上を狙っている<sup>(10)</sup>。プラズマ融合CMP装置を、大気開放型（現状）から密閉型（チャンバー型/ベルジャー型）<sup>(11)</sup>へと改良することも計画中で、近い将来に実施可能となるものと確信している。

以上、融合加工法は上記のいずれの材料に対しても高い平坦化効果を示していることを理解することが出来たが、この融合CMPの加工メカニズムに関連して付け加えておく。図3（左下図）に示す通り、加工物基板へのプラズマ照射部分は局所的な密閉空間である。ここに反応ガスが瞬間的に供給されるため、電極-基板部は局所的加圧状態になるものと推測する。すなわち、局所型の"密閉式加工環境コントロール型CMP法"<sup>(12)</sup>と捉えることができる。従って、この局所密閉式の加工環境コントロール型CMP法とP-CVM法の同時融合加工が、高エネルギー・高品位加工に寄与しているものと考察している。加工メカニズムの全容解明と、多岐にわたる加工条件の最適化により、実用化へと繋げていくことが今後の検討課題である。

さらに詳細実験が展開され、汎用性ある超難加工材料の将来型プラズマ融合CMP装置の商品化に期待しているところである。

### 3. 機能性基板の超精密接合（ボンディング）技術

超精密接合（ボンディング）技術は大別して永久接合と仮接合がある。後者は化合物半導体や3次元デバイス製造に際して、必要な薄片ウェハや壊れやすい基板を熱やUVなどで剥離できる材料（ポリマー、ワックス、レジスト等）塗布して基板を仮の状態で接合する技術である。ここでは、前者の永久結合について述べる。

永久接合には常温接合と非常温接合（「低温接合」とも称することもある）があるが、製造デバイスの仕様・適用条件によって使い分ける。一般的に常温接合は、高真空中で接合材料の表面にイオンビームや中性原子ビーム

を照射あるいは低真空中でプラズマ照射などによって、表面の酸化膜や吸着層を除去して活性表面を表出させ相互の材料表面を接触させ母材相当の強度に接合する技術である。表 1 に、各種基板の接合手法とその特徴を整理<sup>(13)</sup>してまとめた。

常温接合手法は、熱歪・熱応力が生じないので多岐にわたる異種材料も超精密に平滑・平坦仕上げた基板同士をウエハレベルで直接接合できる特徴がある。他方、非常温（低温）接合はプラズマ照射によって基板表面を活性状態にして数 100℃前後の環境下で接合する。

図 6 は、プラズマ活性化装置と接合装置を適用してパワーデバイス用φ6”SiC ウエハと SiO<sub>2</sub> 膜付き Si ウエハの超精密接合例で、SiC 基板を SiO<sub>2</sub> 薄膜を形成した Si ウエハに接合をした外観写真（IR 画像）を併記している。接合後のウエハには全くボイド等の欠陥が無く、依頼元のデバイスメーカーによって新しい最先端パワーデバイス製作を実現している<sup>(14)</sup>。

接合の適用・応用例としては、特に貫通電極（TSV）を形成したウエハを何層にも接合し、3次元集積化デバイス製造が典型例である。3次元積層技術を用いたデバイスを例にすれば、①メモリー；デバイス面積を変えずに延容量を 10～数 10 倍以上に増大、②マイク

ロプロセッサ；機能ごとに集積化した 3 次的に積層化、③MEMS；加速度・圧力・温湿度・触覚センサ等の機械的な素子の部分と信号・情報処理を行う素子を 3 次的集約、等の特徴な事例がある。このような様々な超小型化デバイス・部品のインテリジェント化が期待できる。ここに各界から注目される所以がある。様々な大口径基板の超精密接合技術を専門とする株式会社 D-process では、通信関係デバイス（InP と SiO<sub>2</sub>/Si）、光学系デバイス（LiTaO<sub>3</sub> と LiNbO<sub>3</sub>）などの異種材料の直接接合も容易にできるという<sup>(15)</sup>。

ここで、根幹となる半導体デバイスの例として、機能性材料の平坦化 CMP/薄膜化加工技術を駆使しつつ異種機能性材料基板の超精密ボンディング応用を紹介する。半導体デバイスは“More Moore”の方向に進む一方、“More than Moore”の方向にもますます展開し、SOC（System on Chip）と SiP（System in Package）に象徴され

表 1 各種基板の接合方法とその特徴

接手法	接合温度	メリット	デメリット	CMPの必要性
プラズマ活性化接合	100～300℃	比較的低温で接合強度が得られる	材料によっては内部起因のボイドが発生	◎
常温接合	23℃（室温）	室温で接合可能	一旦装置を止めると復旧に時間がかかる	◎
金属拡散接合	50～800℃	多層金属膜の接合が可能	表面粗さに接合条件が依存する	◎
樹脂接合	150～350℃	樹脂の特性の違いでいろんな条件に対応できる	アライメント精度が確保できない	○
共晶接合	400℃程度	比較的低温	アライメント精度が確保できない	○
陽極接合	300～500℃	小さな面積で接合強度の確保	材料が限定される	○

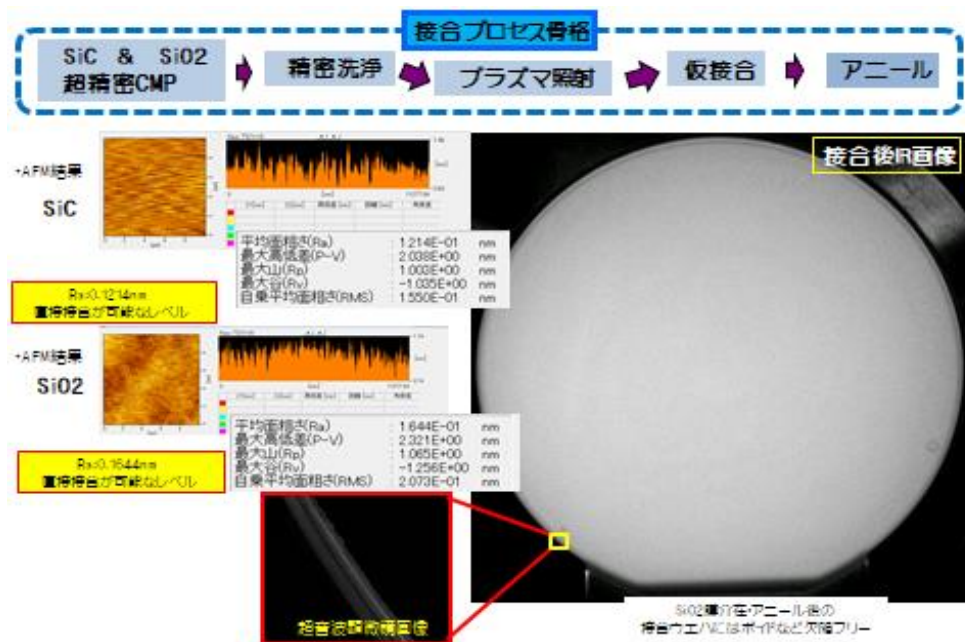


図 6 超精密後の接合プロセスによる超精密ウエハ接合—パワーデバイス用（SiC +SiO<sub>2</sub>/Si）の超精密接合の例—（IR 画像と超音波顕微鏡写真/D-process 提供）

る高度な技術融合による高機能化を進めることになる。そのみではなく多岐にわたる新規材料が続々と出現し、超高性能デバイスが構築・提案されてこよう。

図7は、超精密平坦化 CMP 技術, 狭ピッチ TSV 形成技術と超精密接合技術を適用した例であって、東北大・小柳光正教授らが開発した二次元積層型イメージセンサーの SEM・X 線 CT 画像である<sup>(16)</sup>。車載用の自動運転システムのみならず人工知能などに必須の構成要素として期待されている。小柳らの開発技術は、ソニー社のカメラモジュールでイメージセンサーチップとロジック回路チップを CMP した SiO<sub>2</sub> 同士の直接接合で形成した技術にも活用されている。

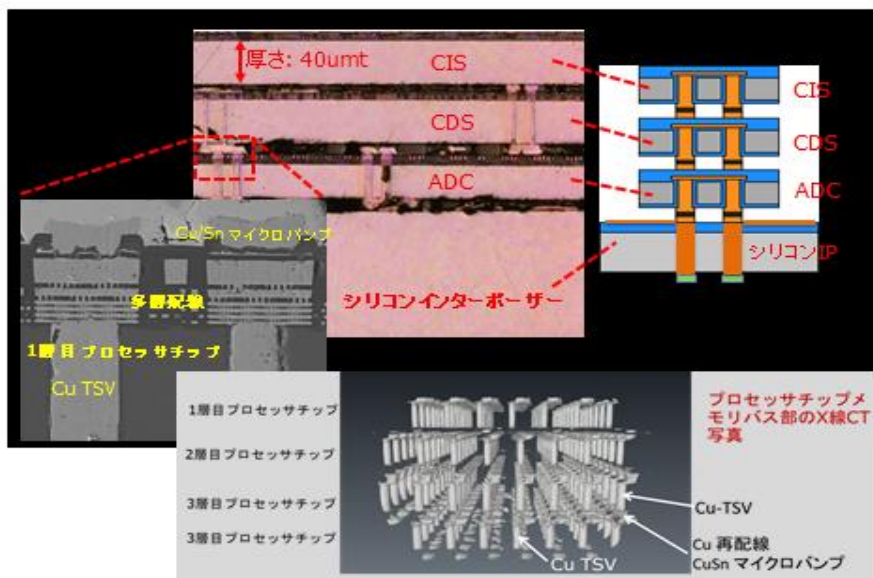


図7 4層積層による3次元積層型イメージセンサーの断面写真とプロセッサチップの4層積層 X 線 CT 写真

(東北大・小柳教授のご厚意による)

#### 4. おわりに —技術的特異点“シンギュラリティ”を見据えて—

本稿では、SiC, GaN などのワイドギャップ半導体から将来型ダイヤモンド基板適用のデバイス製作に寄与すべく、これらの超難加工基板材料の高効率・高品質加工プロセスを目指す革新的加工技術として、プラズマ加工を融合した革新的プラズマ融合 CMP を、併せて現在脚光を浴びている超精密ウエハの超精密接合技術にフォーカスして紹介した。これらを組み合わせ・融合加工プロセス技術は、革新的なデバイスが高効率で創出するためにキーとなるものである。中国の新興メモリメーカーによるメモリ (図8)<sup>(17)</sup>は、近年のトピックスとして注目されている。このメモリは、

CMOS回路とメモリアレイとを別々のウエハで形成して、それらは配線までを形成しており、各々の配線層の最上層同士を張り合わせて完成させるものである。Φ300 mmウエハの平坦性を確保したうえで接合部位の欠陥コントロールがキーとなる。まさにこの例は、本稿で述べた超精密 CMP と接合技術をキーとする融合技術であり、超高性能デバイス製造プロセスとして捉えるべきキー技術である。

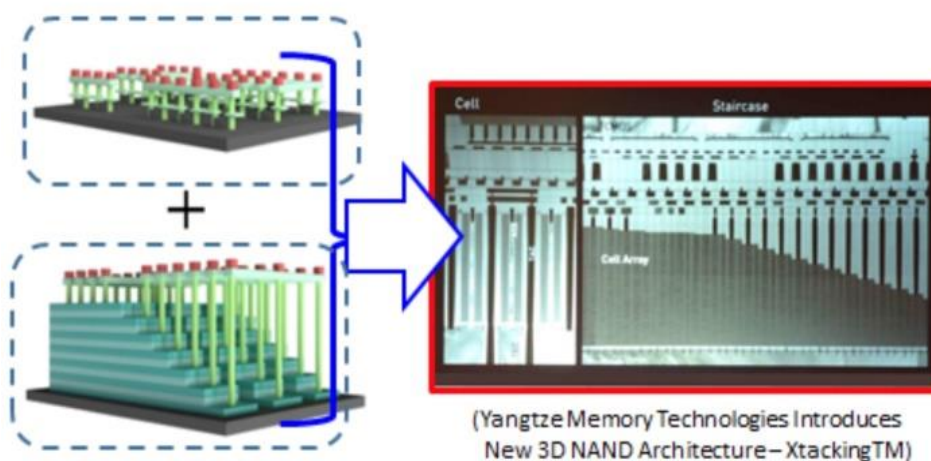


図8 超精密 CMP プロセスと接合プロセスをキーとした融合プロセス技術によって実現した高性能メモリデバイスの例

【配線形成した CMOS 回路とメモリアレイを別々ウエハで形成後、配線層の最上層同士を張り合わせて完成したデバイスプロセスの模式図】

今後、半導体デバイスに関わる超精密加工プロセス技術とその関連研究者は、シンギュラリティの到来を想定し加工技術の未来像とどう取り組むべきか、情報収集しつつ再度真摯に検討して今後の課題などを的確に把握しなければならない。そして、どう対応していくべきか、関連分野の相互の共通課題として捉えて議論を深め革新的深化を目指していきたいものである。

### 【謝 辞】

本稿を執筆するにあたり、資料等を提供いただきました東北大学・小柳教授、長岡技科大（曾田准教授・武田研究員）、(株)D-process（迫田・渡辺の両研究技術員）はじめ関係者の方々に感謝します。

### 参考文献

- (1) 土肥：精密工学会誌、84, 1, pp.22-26 (2018)
- (2) 斎藤：シンギュラリティ・ビジネス、幻冬舎新書 (2017)
- (3) 土肥ら：月刊トライボロジー、第30巻、第11号、pp.14-18(2016)
- (4) 土肥：精密工学会・2017年春季学術講演会キーノート「
- (5) T. Doi, H. Aida et al.: The International Journal of Extreme Manufacturing (IJEM), (2020) (to be published)
- (6) 読売新聞(九州版)／2017年9月22日発行
- (7) T. K. Doi: Int. J. of Automation Technology Vol.12, No.2, pp. 145–153 (2018),
- (8) T. K. Doi et al.: Sensor & Materials, 26,6, pp403-415(2014)
- (9) H. Aida et al.: Advanced Micro-Fabrication and Green Technology, 5, 70-75 (2017).
- (10) 曾田・土肥、:真空ジャーナル No. 165, pp.11-14 (2018.7)
- (11) T. Doi et al.: Electrochem. Solid-State Lett. 7(8), G158-G160 (2004).
- (12) T. K. Doi et al.: Int. J. Manufacturing Sci. & Technol. 9, 5-10 (2007).
- (13) 迫田・渡辺ら;精密工学会「プラナリゼーション CMP とその応用専門委員会」予稿集 (2018)
- (14) 土肥,瀬下,迫田,山崎ら;月刊トライボロジー、30, 11 (2016)1
- (15) 土肥;月刊トライボロジー、32, 11 (2018)32
- (16) M. Koyanagi: Heterogeneous 3D Integration-Technology Enabler toward Future Super-Chip (Plenary Talk) Technical Digest of IEEE (IEDM) 1.2, pp.8-15 (, 2013) .
- (17) <http://www.ymtc.com/index.php?s=/cms/index/detail/id/172.htm> (Yangtze Memory Technologies Introduces New 3D NAND Architecture – Xtacking™)